

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKewed/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05341872 A**

(43) Date of publication of application: **24.12.93**

(51) Int. Cl.

**G06F 1/06**

G06F 13/42

**G06F 15/16**

**G06F 15/78**

(21) Application number: **04145454**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: 05.06.92

(72) Inventor: **KUME SHIGEO**  
**NAGAO SATORU**

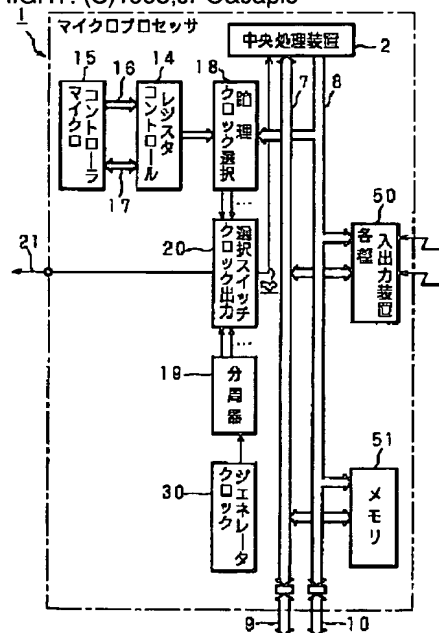
**(54) DATA PROCESSOR**

(57) Abstract:

**PURPOSE:** To supply an optimal clock signal as a hardware to the other outside data processor without operating a processing as a software as necessary by applying data corresponding to the identified result of the outside data processor being the object of an access from a holding means to a switch means.

**CONSTITUTION:** A clock generator 30 generates the clock signals whose frequencies are different. A control register 14 holds the data of the optimal frequency of the operating clock signal. A microcontroller 15 sets the data so as to be programmable at the register 14 at the time of an initialization. A clock selection logic 18 identifies the object of the access from an address outputted from a central processing unit 2, and outputs the data of the clock signal of the optimal frequency from the control register 14. A clock output selection switch 20 selects the clock signal of the optimal frequency according to the identified result, and supplies it to the outside, or its own device as the operating clock signal.

**COPYRIGHT: (C)1993,JPO&Japio**



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-341872

(43)公開日 平成5年(1993)12月24日

| (51)Int.Cl. <sup>8</sup> | 識別記号    | 庁内整理番号  | F I                      | 技術表示箇所  |
|--------------------------|---------|---------|--------------------------|---------|
| G 0 6 F 1/06             |         |         |                          |         |
| 13/42                    | 3 5 0 B | 8840-5B |                          |         |
| 15/16                    | 3 3 0 C | 8840-5L |                          |         |
| 15/78                    | 5 1 0 P | 7323-5L |                          |         |
|                          |         | 7165-5B |                          |         |
|                          |         |         | G 0 6 F 1/ 04            | 3 1 0 A |
|                          |         |         | 審査請求 未請求 請求項の数 2 (全 7 頁) |         |

(21)出願番号 特願平4-145454  
(22)出願日 平成4年(1992)6月5日

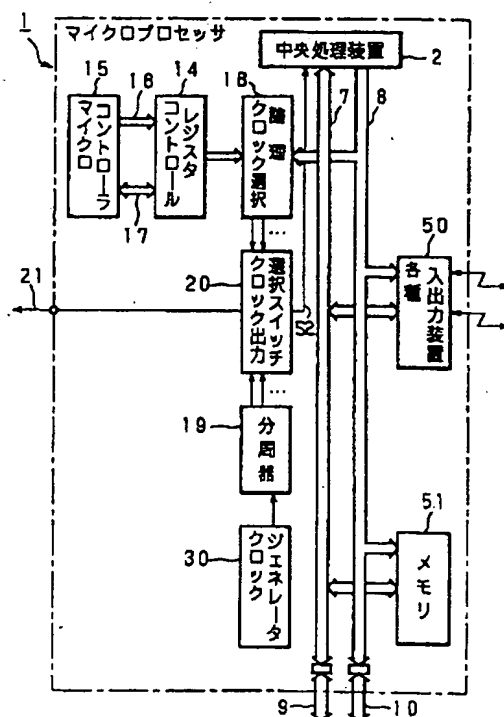
(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 久米 茂夫  
兵庫県神戸市兵庫区浜山通6丁目1番1号  
三菱電機エンジニアリング株式会社神戸  
事業所内  
(72)発明者 長尾 哲  
兵庫県神戸市兵庫区和田崎町1丁目1番2  
号 三菱電機株式会社制御製作所内  
(74)代理人 弁理士 高田 守

(54)【発明の名称】 データ処理装置

(57)【要約】

【目的】 必要が生じる都度ソフトウェア的な処理を行わずとも、ハードウェア的に最適なクロック信号を他の外部データ処理装置に供給可能なデータ処理装置を得ることを目的とする。

【構成】 それぞれ異なる周波数のクロック信号を発生するクロックジェネレータ30、19と、各外部データ処理装置に最適な動作クロック信号の周波数のデータを保持するコントロールレジスタ14と、このコントロールレジスタ14に初期化時にデータをプログラマブルに設定するマイクロコントローラ15と、中央処理装置2が出力するアドレスからアクセス対象の外部データ処理装置を識別してコントロールレジスタ14から最適な周波数のクロック信号のデータを出力するクロック選択論理18と、このクロック選択論理18の識別結果に従って最適な周波数のクロック信号を選択して外部へ出力すると共に、自身にも動作クロック信号として供給するクロック出力選択スイッチ20とを備えている。



## 【特許請求の範囲】

【請求項1】 それぞれが所定の周波数の動作クロック信号に同期して動作する複数の外部データ処理装置と接続され、自身も動作クロック同期信号に同期して動作するデータ処理装置において、

前記複数の外部データ処理装置それぞれの動作クロック信号の周波数のクロック信号を発生するクロック信号発生手段と、

前記複数の外部データ処理装置それぞれに最適な動作クロック信号の周波数を表すデータを保持するデータ保持手段と、

該データ保持手段に前記データを初期設定時にプログラムブルに設定するデータ設定手段と、

前記データ処理装置が前記複数の外部データ処理装置のいずれをアクセスするかを識別し、アクセスされる外部データ処理装置に対応するデータを前記保持手段から読み出す識別手段と、

前記クロック信号発生手段が発生する複数のクロック信号の内から前記識別手段が読み出したデータに対応するクロック信号を選択して外部へ出力すると共に、自身の動作クロック信号として供給するスイッチ手段とを備えたことを特徴とするデータ処理装置。

【請求項2】 他のデータ処理装置とシステムバスにより接続されてマルチプロセッサシステムを構成し、所定の周波数の動作クロック信号またはシステムクロックに同期して動作するデータ処理装置において、

前記所定の周波数のクロック信号を発生するクロック信号発生手段と、

自身が前記システムバスを介して外部からアクセスされたか否かを識別する識別手段と、

該識別手段による識別結果に応じて、前記クロック信号発生手段が発生するクロック信号または前記システムクロックのいずれかを動作クロック信号として選択するスイッチ手段とを備えたことを特徴とするデータ処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はマイクロプロセッサあるいはマイクロコンピュータ、更にはマルチプロセッサシステムを構成するデータ処理装置に関し、更に詳述すれば、それらにおける動作クロック信号の切換え技術に関する。

## 【0002】

【従来の技術】 図6は従来例の一例である特開平2-15357号公報に開示されているデータ処理装置としてのマイクロプロセッサの機能ブロック図である。また図7は図6に示されているマイクロプロセッサ1を使用したマルチプロセッサシステムの一構成例を示すブロック図である。

【0003】 図6において、参照符号2は中央処理装置

であり、内部データバス7及び内部アドレスバス8を介してスイッチ制御論理3、各種入出力装置50及びメモリ51等が接続されている。また、内部データバス7はシステムデータバス9と、内部アドレスバス8はシステムアドレスバス10とそれぞれ接続されており、マイクロプロセッサ1とその外部との間のデータの送受を行う。

【0004】 スイッチ制御論理3はその内部にコントロールレジスタ4を備えている。このコントロールレジスタ4はCB1～CB3の3ビット構成であり、それぞれを指定するアドレスが内部アドレスバス8を介して、またそれぞれに設定されるデータが内部データバス7を介してそれぞれ与えられることにより各ビットCB1～CB3にデータが設定され、この設定されたデータに従ってクロック出力選択スイッチ5を制御する。

【0005】 参照符号6はシステムクロック入力端子であり、マイクロプロセッサ1の外部からシステムクロック13が入力される。このシステムクロック入力端子6からマイクロプロセッサ1内へ入力されたシステムクロック13は上述のクロック出力選択スイッチ5に与えられる。

【0006】 また、クロック出力選択スイッチ5にはマイクロプロセッサ1内部の動作クロックを発生するクロックジェネレータ30が接続されている。そして、スイッチ制御論理3がその内部に備えられているコントロールレジスタ4の各ビットCB1～CB3の設定内容に従ってクロック出力選択スイッチ5を制御することにより、システムクロック入力端子6から入力されるシステムクロック13またはクロックジェネレータ30が発生するクロックが内部動作クロックとして信号線52を介して中央処理装置2に供給される。

【0007】 このような図6にその構成が示されているマイクロプロセッサ1が図7に示されているように、システムデータバス9及びシステムアドレスバス10を介して他のマイクロプロセッサ11と接続されてマルチプロセッサシステムを構成している。なお、図7において、参照符号12はシステムクロック13を生成するシステムクロックジェネレータである。

【0008】 次に上述のような従来のマイクロプロセッサ1及びそれを使用したマルチプロセッサシステムの動作について説明する。なお図6に示されている例では、ビットCB3のみがイネーブルにセットされている場合はセレクト信号SEL2がイネーブルになってシステムクロック入力端子6に入力されているシステムクロック13が、またビットCB2のみがイネーブルにセットされている場合はセレクト信号SEL1がイネーブルになってクロックジェネレータ30が発生するクロックがそれぞれ内部動作クロックとして中央処理装置2に供給される。

【0009】 マイクロプロセッサ1がマイクロプロセッサ11をアクセスする場合、マイクロプロセッサ1の中央処理装置2がコントロールレジスタ4のCB3ビットのみ

をイネーブルにするとセレクト信号SEL2のみがイネーブルになる。これにより、クロック出力選択スイッチ5は、クロックジェネレータ30から中央処理装置2へのクロック信号の供給を遮断すると共に、システムクロックジェネレータ12で生成されてシステムクロック入力端子6からマイクロプロセッサ1へ入力されるシステムクロック13を中央処理装置2に供給するように切り換えられる。これにより、マイクロプロセッサ1によるマイクロプロセッサ11のアクセスが可能になる。

【0010】従来のデータ処理装置は上述のように構成されているので、クロック選択スイッチ5を切換える場合には、スイッチ制御論理3内のコントロールレジスタ4の必要なビット(CB1, CB2, CB3のいずれか)を中央処理装置2がイネーブルにする必要がある。この処理は、中央処理装置2がプログラムにより必要に応じて内部アドレスバス8及び内部データバス7にアドレス及びデータを出力することによりコントロールレジスタ4をセットして実行する必要がある、この処理がプログラムのオーバーヘッドとなっている。また、プログラムにバグが存在していてコントロールレジスタ4に必要なデータがセットされない場合は、マイクロプロセッサ1がマイクロプロセッサ11をアクセスすることは不可能になる。

【0011】更に、図7には示されていないが、システムバス9、10に低速外部データ処理装置等が接続されていてそれらをマイクロプロセッサ1の中央処理装置2がアクセスすることを可能とするには、ウェイト回路、同期化回路等を設けて同期を図る必要がある。

【0012】

【発明が解決しようとする課題】従来のデータ処理装置は上述のように、必要の都度中央処理装置によりソフトウェア的にコントロールレジスタの内容を設定してクロック出力選択スイッチを制御することにより動作クロックを切換えるように構成されているため、プログラムのオーバーヘッドを生じ、またプログラムのバグにより動作不可能な状態に陥る可能性があり、更にはマルチプロセッサシステムにおいては外部の装置との同期のための余分なハードウェアを必要とし、また動作速度の低下を招来する。

【0013】本発明は以上のような事情に鑑みてなされたものであり、必要が生じる都度ソフトウェア的な処理を行わずとも、ハードウェア的に最適なクロック信号を他の外部データ処理装置に供給するようにして、他のデータ処理装置との間の最適且つ高速なアクセスが可能なデータ処理装置を得ることを目的とする。

【0014】また、低速外部データ処理装置との間のアクセスを最適なクロック信号で行えるデータ処理装置を得ることを目的とする。

【0015】

【課題を解決するための手段】本発明に係るデータ処理装置の第1の発明は、それぞれ異なる周波数のクロック

信号を発生するクロック信号発生手段と、各外部データ処理装置に最適な動作クロック信号の周波数のデータを保持するデータ保持手段と、このデータ保持手段に初期化時にデータをプログラマブルに設定するデータ設定手段と、中央処理装置が出力するアドレスから中央処理装置がアクセスしようとしている外部データ処理装置を識別してデータ保持手段から最適な周波数のクロック信号のデータを出力する識別手段と、この識別手段の識別結果に従って最適な周波数のクロック信号を選択して外部へ出力すると共に、自身にも動作クロック信号として供給するスイッチ手段とを備えている。

【0016】また本発明のデータ処理装置の第2の発明は、所定の周波数のクロック信号を発生するクロック信号発生手段と、中央処理装置がアクセスされているか否かを識別する識別手段と、この識別手段の識別結果に従ってクロック信号発生手段が発生したクロック信号またはシステムクロックのいずれかを選択して動作クロック信号として出力するスイッチ手段とを備えている。

【0017】

【作用】本発明のデータ処理装置の第1の発明では、外部データ処理装置をアクセスする際にアクセス対象の外部データ処理装置が識別手段により自動的に識別され、この識別結果に対応したデータがデータ保持手段からスイッチ手段に与えられて最適な周波数のクロック信号が選択され、アクセス対象の外部データ処理装置及び自身に供給される。

【0018】また本発明のデータ処理装置の第2の発明では、外部からアクセスされる際にはそれが識別され、この識別結果に従って外部から入力されているシステムクロックまたは自身のクロック信号発生手段が発生したクロック信号のいずれかが選択されて動作クロック信号として供給される。

【0019】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0020】図1は本発明のデータ処理装置の第1の発明の一実施例の構成を示すブロック図である。図1において、参照符号2は中央処理装置であり、内部データバス7及び内部アドレスバス8を介して識別手段としてのクロック選択論理18、各種入出力装置50及びメモリ51等が接続されている。また、内部データバス7はシステムデータバス9と、内部アドレスバス8はシステムアドレスバス10とそれぞれ接続されており、マイクロプロセッサ1とその外部との間のデータの送受を行う。

【0021】参照符号14はデータ保持手段としてのクロック周波数を決定するコントロールレジスタであり、データ設定手段であるマイクロコントローラ15によりデータがセットされる。そして、マイクロコントローラ15とコントロールレジスタ14との間は、マイクロコントローラ15がコントロールレジスタ14を選択するためのアドレ

スバス16及びマイクロコントローラ15がコントロールレジスタ14にセットするデータを伝送するためのデータバス17で接続されており、このコントロールレジスタ14にセットされたデータに従ってクロック選択論理18が制御される。

【0022】クロック選択論理18は、コントロールレジスタ14から与えられるデータに従ってクロック周波数を選択し、また中央処理装置2が出力するアクセスアドレスから中央処理装置2がアクセスしようとしているアドレスエリアを検出する。

【0023】参照符号19は分周器であり、クロックジェネレータ30が発生するクロック信号を分周して複数の周波数のクロック信号を発生させる。なお、この分周器19及びクロックジェネレータ30でクロック発生手段としての機能を有する。

【0024】参照符号20はクロック出力選択スイッチであり、分周器19から出力される複数の周波数のクロック信号の内のいずれかをクロック選択論理18からの選択信号に従って選択する。このクロック出力選択スイッチ20により選択されたクロック信号は信号線21を介して外部へ出力されると共に、信号線52を介して中央処理装置2に動作クロック信号として供給される。

【0025】図2は上述の図1に示されている構成のマイクロプロセッサ1を中央処理装置としたマルチプロセッサシステムのシステム構成を示すブロック図である。図2において、参照符号22、23はマイクロプロセッサ1とシステムデータバス9及びシステムアドレスバス10で接続されている第1及び第2の外部データ処理装置である。これらのマイクロプロセッサ1と第1及び第2の外部データ処理装置22、23とでマルチプロセッサシステムを構成している。なお、両第1及び第2の外部データ処理装置22、23には上述のように信号線21を介してマイクロプロセッサ1からクロック信号が供給される。

【0026】図3は中央処理装置2がアクセスするアドレスマップ24の内容を示す模式図であり、25は第1の外部データ処理装置22が占めるアドレス領域、26は第2の外部データ処理装置23が示す領域である。

【0027】まず最初に、中央処理装置2が第1の外部データ処理装置22にアクセスする場合について、本発明のデータ処理装置の動作について説明する。

【0028】コントロールレジスタ14の内容はマイクロプロセッサ1の初期化時にマイクロコントローラ15により設定される。この設定には、中央処理装置2がアドレス領域25をアクセスした場合に分周器19から出力されるクロック信号の内のいずれを選択するかをアドレスマップ24を参照してコントロールレジスタ14にビット列でセットする。

【0029】中央処理装置2が第1の外部データ処理装置22にアクセスすると、内部アドレスバス8を介してアドレス値がクロック選択論理18に入力され、クロック選

択論理18はアドレスマップ24とコントロールレジスタ14に設定されているビット列に応じてクロック出力選択スイッチ20にセレクト信号を出力し、クロック出力選択スイッチ20はこのセレクト信号に応じて分周器19から出力されているいくつかのクロック信号の内の第1の外部データ処理装置22に最適のクロック信号として予め設定されている一つを選択し、信号線21を介して第1の外部データ処理装置22に供給すると共に、中央処理装置2にも動作クロック信号として供給する。

【0030】第2の外部データ処理装置23についても同様である。このようにして、本発明のデータ処理装置では、アクセス対象の外部データ処理装置に応じた最適なクロック信号を自動的にその外部データ処理装置に供給すると共に、自身の中央処理装置2も同一のクロック信号を動作クロック信号として動作するようになるので、自動的に同期をとることが可能になる。

【0031】図4及び図5は本発明の第2の実施例の一構成例を示すブロック図である。図中、参照符号18は前述の図1に示されているクロック選択論理と同じであるが、本第2の発明の実施例ではコントロールレジスタ14及びマイクロコントローラ15は備えられていない。

【0032】参照符号27はマイクロプロセッサ1外部から入力されるシステムクロック13とマイクロプロセッサ1内部のクロックジェネレータ30が発生する内部クロックとを切替えるクロック入力選択スイッチである。このクロック出力選択スイッチ27にはクロックジェネレータ30が直接接続されている。他の構成は図1に示されている第1の発明の実施例と同様である。

【0033】図5は本第2の発明の実施例において中央処理装置2がアクセスするアドレスマップ28の内容を示す模式図であり、参照符号29はシステムアドレスバス10のアドレス領域である。

【0034】次に、図4にその構成が示されている本発明のデータ処理装置の第2の発明の実施例の動作について説明する。本第2の発明では、通常はクロックジェネレータ30が発生するクロック信号が動作クロックとして供給されるように、クロック選択論理18がクロック出力選択スイッチ27を制御している。

【0035】しかし、外部データ処理装置が中央処理装置2をアクセスする場合には、外部データ処理装置から出力されたアドレス値がシステムアドレスバス10と内部アドレスバス8とを介してクロック選択論理18に入力される。クロック選択論理18ではこの外部から入力されたアドレス値がアドレス領域28に入っているか否かを調べ、アドレス領域28に入っていれば選択スイッチ27に与えている切換え信号を有意にする。選択スイッチ27はこの切換え信号が有意である場合には、外部から入力されるシステムクロック13が中央処理装置2に供給されるように切換える。

【0036】このように、本第2の発明では、データ処

理装置内部のクロックジェネレータ30が発生するクロック信号と外部から入力されるシステムクロックとのいずれかを自動的に選択して切換えることが可能になる。

【0037】

【発明の効果】以上に詳述したように本発明のデータ処理装置によれば、データ処理装置がマルチプロセッサシステムを構成する中央処理装置として動作する場合に、ソフトウェアにはよらずにハードウェアにて自動的に他のデータ処理装置にクロック信号を供給することが可能になるので、プログラマの人為的ミスによりクロック信号が供給されなくなるというような事態を回避することができ、且つ信頼性が高く、高速動作可能なデータ処理装置の提供が可能になる。

【0038】また本発明のデータ処理装置では、複数種類の周波数のクロック信号から最適なクロック信号をプログラマブルに選択することが出来るため、汎用性の高いデータ処理装置が実現される。

【0039】なお、上述の最適クロック信号を選択するには、データ処理装置の初期化時にコントロールレジスタにクロック周波数に対応したデータをセットすることにより実現される。この結果、データ処理装置のアプリケーションプログラムの人為的ミスによる中央処理装置からの正常アクセス動作が出来ないという問題はなくなる。

【図面の簡単な説明】

【図1】本発明のデータ処理装置の第1の発明の一実施

例の構成を示すブロック図である。

【図2】図1に示されている構成のマイクロプロセッサを中央処理装置としたマルチプロセッサシステムのシステム構成を示すブロック図である。

【図3】中央処理装置がアクセスするアドレスマップの内容を示す模式図である。

【図4】本発明のデータ処理装置の第2の発明の実施例の構成例を示すブロック図である。

【図5】第2の発明の実施例の中央処理装置がアクセスするアドレスマップの内容を示す模式図である。

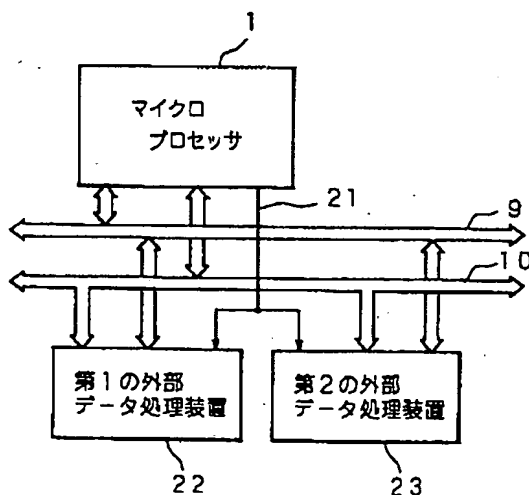
【図6】従来のデータ処理装置の一例としてのマイクロプロセッサの機能ブロック図である。

【図7】図6に示されているマイクロプロセッサを使用したマルチプロセッサシステムの一構成例を示すブロック図である。

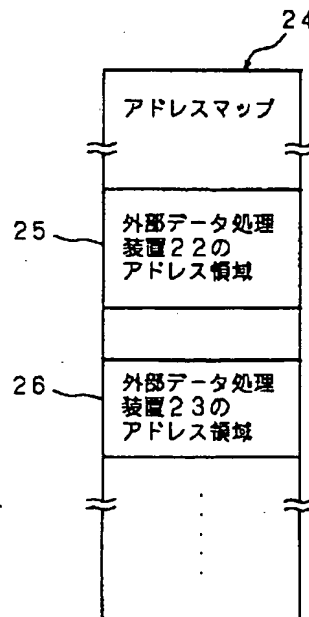
【符号の説明】

- 1     マイクロプロセッサ
- 2     中央処理装置
- 14    コントロールレジスタ
- 15    マイクロコントローラ
- 18    クロック選択論理
- 19    分周器
- 22    外部データ処理装置
- 23    外部データ処理装置
- 30    クロックジェネレータ

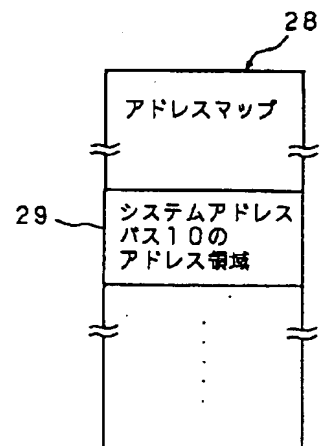
【図2】



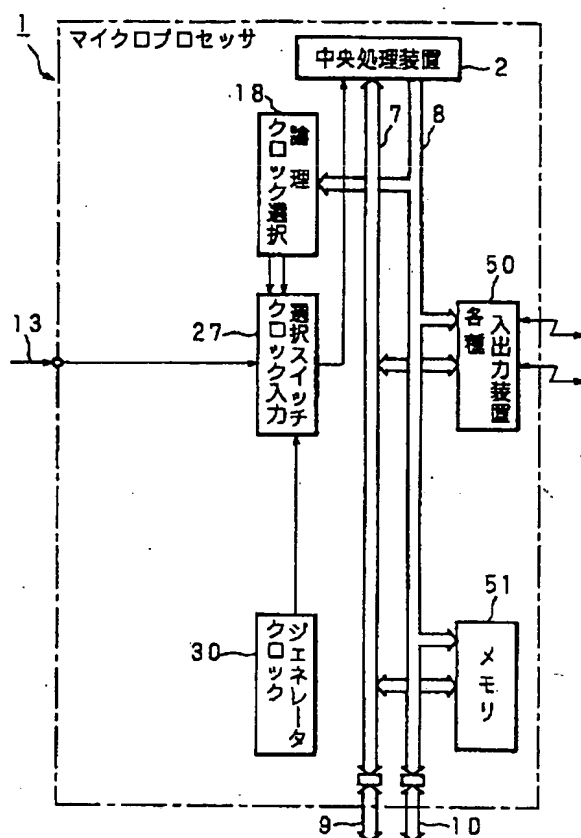
【図3】



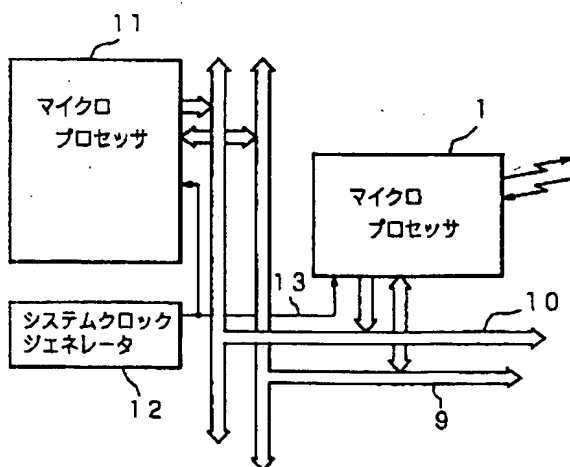
【図5】



【图 4】



【圖 7】





【図6】

